

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279618

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 D
21/336				6 1 6 M
				6 1 6 N

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平7-104747

(22) 出願日 平成7年(1995)4月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤野 昌宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

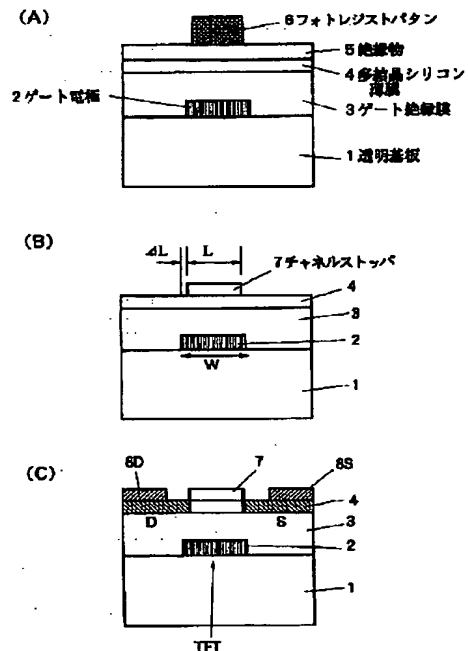
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【目的】 ボトムゲート型薄膜トランジスタの製造プロセスを効率化すると共にその動作性能を改善する。

【構成】 薄膜半導体装置を製造する為、先ず透明基板1の表面側に遮光性を有するゲート電極2をパタニング形成する。ゲート電極2の上にゲート絶縁膜3を形成する。続いて、非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜4をゲート絶縁膜3の上に成膜する。さらに、多結晶シリコン薄膜4の上に絶縁物5を成膜する。この絶縁物5の上にフォトリソを成膜した後、透明基板1の裏面からゲート電極2をマスクとしてセルフアライメントでフォトリソを露光し、ゲート電極2に整合したフォトリソバタン6を作成する。フォトリソバタン6を介して絶縁物5をエッチングし、ゲート電極2に整合するチャネルストッパ7に加工する。このチャネルストッパ7をマスクとしてセルフアライメントで不純物を多結晶シリコン薄膜4にドーピングして、ボトムゲート型の薄膜トランジスタTFTを集積形成する。



【特許請求の範囲】

【請求項1】 透明基板の表面側に遮光性を有するゲート電極をパタニング形成する第1工程と、
該ゲート電極の上にゲート絶縁膜を形成する第2工程と、

非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜を該ゲート絶縁膜の上に成膜する第3工程と、
該多結晶シリコン薄膜の上に絶縁物を成膜する第4工程と、

該絶縁物の上にフォトレジストを成膜した後透明基板の裏面から該ゲート電極をマスクとしてセルフアライメントで該フォトレジストを露光し、該ゲート電極に整合したフォトレジストパタンを作成する第5工程と、

該フォトレジストパタンを介して該絶縁物をエッチングし、該ゲート電極に整合するチャネルストッパに加工する第6工程と、

該チャネルストッパをマスクとしてセルフアライメントで不純物を該多結晶シリコン薄膜にドーピングしてボトムゲート型の薄膜トランジスタを集積形成する第7工程とを行なう薄膜半導体装置の製造方法。

【請求項2】 前記第3工程は透明基板に規定された画面領域及びこれを囲む周辺領域の両者に渡って多結晶シリコン薄膜を成膜し、前記第7工程は該画面領域にスイッチング用の薄膜トランジスタを集積形成すると同時に該周辺領域にも薄膜トランジスタを集積して該スイッチング用の薄膜トランジスタを駆動する回路を作成し、加えて第8工程を行ない該スイッチング用の薄膜トランジスタによりスイッチングされる画素電極を画面領域に形成する事の特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 透明基板の表面側に遮光性を有するゲート電極をパタニング形成する第1工程と、
該ゲート電極の上にゲート絶縁膜を形成する第2工程と、

非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜を該ゲート絶縁膜の上に成膜する第3工程と、
該多結晶シリコン薄膜の上に絶縁物を成膜する第4工程と、

該絶縁物の上にフォトレジストを成膜した後透明基板の裏面から該ゲート電極をマスクとしてセルフアライメントで該フォトレジストを露光し、該ゲート電極に整合したフォトレジストパタンを作成する第5工程と、

該フォトレジストパタンを介して該絶縁物をエッチングし、該ゲート電極に整合するチャネルストッパに加工する第6工程と、

該チャネルストッパをマスクとしてセルフアライメントで不純物を該多結晶シリコン薄膜にドーピングしてボトムゲート型の薄膜トランジスタを集積形成する第7工程と、

該薄膜トランジスタに接続して画素電極を形成する第8

工程と、

予め対向電極が形成された対向基板を所定の間隙を介して該透明基板に接合し、該間隙に液晶を封入する第9工程とを行なうアクティブマトリクス型表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜半導体装置の製造方法に関する。より詳しくは、多結晶シリコン薄膜を活性層とするボトムゲート型の薄膜トランジスタを裏面露光により作成する方法に関する。

【0002】

【従来の技術】 薄膜トランジスタを集積形成した薄膜半導体装置は例えばアクティブマトリクス型液晶表示パネルの駆動基板（能動素子基板）に好適であり、従来から盛んに開発されている。薄膜トランジスタの活性層としては非晶質シリコン薄膜や多結晶シリコン薄膜が代表的に用いられている。又、薄膜トランジスタの構造としてはスタガ構造のボトムゲート型とトップゲート型が主として開発されている。これらは何れも電界効果型トランジスタである。ボトムゲート型は透明基板の表面にゲート電極をパタニング形成した後ゲート絶縁膜を介してその上に活性層となる半導体薄膜を形成する。トップゲート型は先に活性層となる半導体薄膜を透明基板上に成膜した後、ゲート絶縁膜を介してその上にゲート電極をパタニングする。ボトムゲート型は製造プロセスが複雑になる一方信頼性の面で優れている。即ち、活性層がゲート絶縁膜を介して透明基板から離間しているの基板に含有された汚染物質の悪影響が少ない。これに対し、トップゲート型は製造プロセスが比較的単純である一方、信頼性の面で劣る。即ち、活性層が直接基板表面に接しているの汚染される可能性がある。

【0003】

【発明が解決しようとする課題】 非晶質シリコン薄膜を活性層とする薄膜トランジスタは一般にボトムゲート構造を採用している。この場合、製造プロセスを簡略化する為裏面露光処理が行なわれており、下地のゲート電極をマスクとしてセルフアライメントで種々のパタニングを行なう。しかしながら、非晶質シリコン薄膜は光透過性がそれほど良くないので、裏面露光が長時間に渡るといふ欠点がある。使用するフォトレジストの材質により異なるが、例えば1分ないし2分の露光時間が必要である。又、非晶質シリコン薄膜を活性層とする薄膜トランジスタは移動度 μ が小さい為、（ $\mu = 0.2 \sim 0.8 \text{ cm}^2/\text{Vs}$ ）画素電極スイッチング用の薄膜トランジスタに加えその駆動回路を同一基板上に形成する事は極めて困難である。従って、現実的には透明基板上に画素電極及びスイッチング用の薄膜トランジスタを含む画面部のみを形成し、駆動回路は外付けとしていた。例えば、外部駆動ICをTAB等によってアクティブマトリクス型液晶

パネルに接続していた。仮に、駆動回路を同一基板上に形成したとしても、通常のボトムゲート型薄膜トランジスタでは、フォトリソグラフィ工程の精度に起因するゲート寄生容量のばらつきが大きい。その結果、駆動周波数を著しく低下させたり、画質を劣化させてしまう。

【0004】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は多結晶シリコン薄膜を活性層とするボトムゲート型の薄膜トランジスタを高効率で且つ高精度に作成する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明によれば薄膜半導体装置は以下の工程により製造される。先ず、透明基板の表面側に遮光性を有するゲート電極をパタニング形成する第1工程を行なう。次に、該ゲート電極の上にゲート絶縁膜を形成する第2工程を行なう。続いて、非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜を該ゲート絶縁膜の上に成膜する第3工程を行なう。さらに、該多結晶シリコン薄膜の上に絶縁物を成膜する第4工程を行なう。この後、該絶縁物の上にフォトレジストを成膜した後透明基板の裏面から該ゲート電極をマスクとしてセルフアライメントで該フォトレジストを露光し、該ゲート電極に整合したフォトレジストボタンを作成する第5工程を行なう。さらに、該フォトレジストボタンを介して該絶縁物をエッチングし該ゲート電極に整合するチャンネルストッパに加工する第6工程を行なう。最後に、該チャンネルストッパをマスクとしてセルフアライメントで不純物を該多結晶シリコン薄膜にドーピングしてボトムゲート型の薄膜トランジスタを集積形成する。

【0005】 好ましくは、前記第3工程は透明基板に規定された画面領域及びこれを囲む周辺領域の両者に渡って多結晶シリコン薄膜を成膜する。前記第7工程は該画面領域にスイッチング用の薄膜トランジスタを集積形成すると同時に該周辺領域にも薄膜トランジスタを集積形成して該スイッチング用の薄膜トランジスタを駆動する回路を作成する。この後、第8工程を行ない該スイッチング用の薄膜トランジスタによりスイッチングされる画素電極を画面領域に形成する。この様にして、画素部及び周辺駆動回路部を一体的に形成した表示用薄膜半導体装置が製造される。この装置を駆動基板としてアクティブマトリクス型液晶表示装置を組み立てる場合には、予め対向電極が形成された対向基板を所定の間隙を介して該透明基板に接合し、該間隙に液晶を封入すれば良い。

【0006】

【作用】 本発明によれば、透明基板の表面側に金属膜等遮光性を有するゲート電極をパタニングし、その上にゲート絶縁膜を介して非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜を成膜している。下地のゲート電極をマスクとしてセルフアライメントにより裏面露光処理を行ない、多結晶シリコン薄膜の上にチャンネル

ストッパを形成する。裏面露光を行なっているため、チャンネルストッパは下地のゲート電極に対し精密に整合する。このチャンネルストッパをマスクとして不純物を多結晶シリコン薄膜にドーピングしてボトムゲート型の薄膜トランジスタを形成する。多結晶シリコン薄膜は非晶質シリコン薄膜に比べ光透過性が優れているので、裏面露光処理に要する時間を短縮でき、製造工程が効率化可能である。チャンネルストッパはゲート電極に対しセルフアライメントでパタニングされる為、両者のオフセットを極力少なくでき、薄膜トランジスタの動作特性に悪影響を及ぼす寄生容量を抑制可能である。又、ボトムゲート型薄膜トランジスタが、非晶質シリコン薄膜に比べ移動度に優れた多結晶シリコン薄膜を活性層としている為、画素電極のスイッチング素子として用いられる他、同時に周辺駆動回路を形成する事が可能である。

【0007】

【実施例】 以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる薄膜半導体装置製造方法の一例を示す工程図である。先ず工程(A)において、ガラス等からなる透明基板1の表面側に遮光性を有するゲート電極2をパタニング形成する。例えば、Mo、Ta等の金属又は合金をスパッタリング等により成膜した後、フォトリソグラフィ及びエッチングを用いて所定の形状にパタニングし、ゲート電極2に加工する。続いて、ゲート電極2の上にゲート絶縁膜3を形成する。例えば、SiO₂、SiN等をCVD法により成膜してゲート絶縁膜3とする。あるいは、金属からなるゲート電極2の表面を陽極酸化して、ゲート絶縁膜3の一部としても良い。さらに、非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜4をゲート絶縁膜3の上に成膜する。例えば、CVD法で非晶質シリコン薄膜を成膜した後、エキシマレーザ光を照射して一旦溶融化し再結晶化を行なって高品質の多結晶シリコン薄膜4に転換する。この後、多結晶シリコン薄膜4の上に絶縁物5を成膜する。例えば、SiO₂をCVD法により所定の膜厚で成膜し、絶縁物5を設ける。この絶縁物5の上にフォトレジストを成膜した後、透明基板1の裏面からゲート電極2をマスクとしてセルフアライメントでフォトレジストを露光し、ゲート電極2に整合したフォトレジストボタン6を作成する。

【0008】 工程(B)に進み、フォトレジストボタン6を介して絶縁物5をエッチングし、ゲート電極2に整合するチャンネルストッパ7に加工する。フォトレジストボタン6は、裏面露光強度を調整する事で所望のサイズに形成する事が可能である。このフォトレジストボタン6をマスクとして絶縁物5をエッチングする事で、チャンネルストッパ7の寸法を自在に制御可能である。裏面露光による光の回折で、ゲート電極2のボタン内に入り込んだ量を ΔL とすると、ゲート電極2の幅 $W=2 \times \Delta L$ のサイズがチャンネル長 L を決定する。通常、 ΔL が小さ

いほど薄膜トランジスタのゲート寄生容量は少なくなり、高性能な動作特性が得られる。

【0009】最後に工程(C)で、チャネルストッパ7をマスクとしてセルフアライメントで不純物を多結晶シリコン薄膜4にドーピング(注入)してソース領域S及びドレイン領域Dを設ける。これによりボトムゲート型の薄膜トランジスタ(TFT)が集積形成される。不純物の注入は例えばイオンドーピングにより行なわれる。この方法では、原料気体をイオン化した後、質量分離を行なう事なく加速して不純物を多結晶シリコン薄膜にドーピングする。大面積の薄膜半導体装置を製造する場合にはこのイオンドーピング法が好適である。但し、本発明はこれに限られるものではなく不純物注入方法としてイオンインプランテーションを用いる事もできる。この方法では原料気体をイオン化した後、質量分離を行ない加速して所望の不純物種のイオンをビーム状に多結晶シリコン薄膜に注入する。本明細書では何れの注入方法も一括して不純物のドーピングと呼んでいる。この後、ドレイン領域Dに接続してドレイン配線8Dをパタニングし、ソース領域Sに接続してソース配線8Sをパタニング形成する。

【0010】図2は裏面露光処理の精度を評価する上で多結晶シリコン薄膜と非晶質シリコン薄膜を比較したデータを表わすグラフである。このグラフの横軸に露光量(J/cm^2)をとり、縦軸に裏面露光による光の回折でゲートパターンに入り込んだ量 ΔL (μm)を示している。非晶質シリコン薄膜(a-Si)を活性層に用いる場合、プロセス上安定したTFT特性を得る為、その膜厚寸法は厚めに設定する必要がある、現実的には50nm程度が必要である。これに対し、多結晶シリコン薄膜(Poly-Si)をTFTの活性層に用いる場合、その膜厚は30nm程度に設定可能である。一般に、ボトムゲート型TFTの寄生容量を抑制する為には、 ΔL を1 μm 以内に制御する必要がある。この場合、光吸収係数の大きいa-Si膜を介した裏面露光量は、Poly-Si膜の約4倍になり、露光処理が長時間必要になる。この様に、ボトムゲート型のTFTを裏面露光プロセスで形成する場合、活性層をa-Si膜からPoly-Si膜に変えることで、露光量の著しい低減が図れる。

【0011】図3は、本発明にかかる薄膜半導体装置製造方法の他の例を示す工程図である。基本的な工程は図1に示した例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。本例では、透明基板に設定された画面領域に画素電極及びそのスイッチング用の薄膜トランジスタを集積形成すると共に、同一基板上に設定された周辺領域にスイッチング用の薄膜トランジスタを駆動する回路を集積形成している。かかる構成を有する薄膜半導体装置はアクティブマトリクス型表示装置の能動素子基板として好適である。先ず工程(A)で、透明基板1の表面に設定された画面領域Xに

ゲート電極2xをパタニング形成すると共に、同じく透明基板1の表面に設定された周辺領域Yに他のゲート電極2yを同時にパタニング形成する。これらのゲート電極2x、2yを共通のゲート絶縁膜3で被覆する。さらにこのゲート絶縁膜3の上に画面領域X及びこれを囲む周辺領域Yの両者に渡って多結晶シリコン薄膜4を成膜する。さらに多結晶シリコン薄膜4の上にSiO₂等からなる絶縁物5を成膜する。この絶縁物5の上にフォトレジストを成膜した後、透明基板1の裏面からゲート電極2x、2yをマスクとしてセルフアライメントでフォトレジストを露光し、各ゲート電極2x、2yに整合したフォトレジストパターン6x、6yを作成する。裏面露光強度を適宜調整する事により、所望の寸法を有するフォトレジストパターン6x、6yを形成できる。

【0012】工程(B)に進み、フォトレジストパターン6x、6yをマスクとして絶縁物5をエッチングし、ゲート電極2x、2yに夫々整合したチャネルストッパ7x、7yに加工する。続いて工程(C)に進み、多結晶シリコン薄膜4をアイランド状にパタニングし、素子領域毎に分離する。続いて、各チャネルストッパ7x、7yをマスクとしてセルフアライメントで不純物を多結晶シリコン薄膜4に注入する。これにより、画面領域Xにスイッチング用の薄膜トランジスタ(TFT-SW)が集積形成されると共に、周辺領域Yにも薄膜トランジスタ(TFT-CKT)を集積して、TFT-SWを駆動する回路を作成する。ここでは、不純物としてP(燐)をイオンドーピング又はイオンインプランテーションしており、Nチャネル型のTFT-SW及びTFT-CKTを形成している。不純物Pが注入された多結晶シリコン薄膜4の部位が、各薄膜トランジスタのソース領域S及びドレイン領域Dになる。この後、TFT-SWのソース領域Sに接続してソース配線8Sを形成する。同時にTFT-CKTのドレイン領域Dに接続してドレイン配線8Dを形成すると共にソース領域Sに接続してソース配線8Sを形成する。

【0013】最後に工程(E)において、TFT-SW及びTFT-CKTをPSG等からなる層間絶縁膜9で被覆する。この層間絶縁膜9にコンタクトホールを開口し、TFT-SWのドレイン領域Dを一部露出する。層間絶縁膜9の上にITO等からなる透明導電膜をスパッタリング等により成膜した後、フォトリソグラフィ及びエッチングにより所定の形状にパタニングして画素電極10を形成する。この画素電極10はTFT-SWのドレイン領域Dに電気接続しており、TFT-SWによりスイッチング駆動される。この様にして、活性層として多結晶シリコン薄膜4を用いる事により、同一の透明基板1上に画素部及び駆動回路部を形成する事が可能になる。かかる構成を有する薄膜半導体装置はアクティブマトリクス型表示装置の組み立てに用いられる。この場合には、予め対向電極が形成された対向基板を所定の間隙

を介して透明基板1に接合し、この間隙に液晶を封入すれば良い。

【0014】図4は、本発明に従って製造された薄膜半導体装置の別の例を示す模式的な部分断面図である。基本的な構成は、図3の(E)に示したものと同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。図3の(E)に示した構造は、周辺領域YにNチャネル型のTFT-CKTのみを形成し駆動回路を構成していた。これに対し、図4に示した例では、周辺領域YにはNチャネル型の薄膜トランジスタ(Nch-TFT-CKT)に加え、Pチャネル型の薄膜トランジスタ(Pch-TFT-CKT)が集積形成されている。この様に、本例ではCMOSを用いて駆動回路部を構成している。本例の場合、先ずN型の不純物(例えばP)をイオンドーピングし、TFT-SWのドレイン領域D、ソース領域SとNch-TFT-CKTのドレイン領域D及びソース領域Sを形成する。続いて、P型の不純物(例えばB)を選択的にイオンドーピングし、Pch-TFT-CKTのドレイン領域D及びソース領域Sを形成する。この後、ソース配線8S、ドレイン配線8D、画素電極10をパタニング形成する事により、同一基板1上に画素部と駆動回路部を形成する事ができる。本例でもゲート電極2x, 2yn, 2ypをマスクとした裏面露光処理により夫々対応するチャネルストップ7x, 7yn, 7ypを作成している。従って、従来行なっていたフォトリソグラフィ工程の合わせ精度に依存する事なく、露光強度を適当な値に設定する事で、 ΔL を $1\mu m$ 以内に制御可能である。従って、各TFTの寄生容量を著しく低減可能であると共に、寄生容量のばらつきも抑える事ができ、画質の向上が達成できる。

【0015】図5は、本発明にかかる薄膜半導体装置製造方法のさらに別の例を示す工程図である。基本的には図3に示した例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。本例では、画面領域Xに形成する薄膜トランジスタのリーク電流を抑制する為、LDD構造を採用している。これに対し、周辺領域Yに形成される薄膜トランジスタについては十分な駆動電流を確保する為、LDD領域を採用していない。この場合、先ず工程(A)に示す様に、チャネルストップ7xに重ねてフォトレジストパターン11を形成する。一方、チャネルストップ7yには何らフォトレジストパターンを重ねて形成しない。この状態で、N型の不純物を高濃度で多結晶シリコン薄膜4に注入する。この結果、ドレイン領域D及びソース領域Sが形成される。次に工程(B)に進み、使用済みとなったフォトレジストパターン11を除去する。この状態で、N型の不純物を比較的低濃度でイオン照射し、先にフォトレジストパターン11でマスクされていた領域に注入する。この結果、画面領域XにはLDD構造を有する薄膜トランジスタ(L

DD-TFT-SW)が形成される。一方、周辺領域Yには通常の構造を有するボトムゲート型のTFT-CKTが形成される。

【0016】最後に図6は、本発明に従って製造された薄膜半導体装置を用いて組み立てられたアクティブマトリクス型表示装置の一例を示している。図示する様に、本表示装置は透明基板101と対向基板102と両者の間に保持された液晶103とを備えたパネル構造を有する。透明基板101には画素部104と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路105と水平駆動回路106とに分かれている。又、透明基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画素部104には互いに交差するゲート配線109及び信号配線110が形成されている。ゲート配線109は垂直駆動回路105に接続し、信号配線110は水平駆動回路106に接続している。ゲート配線109と信号配線110の交差部には画素電極111及びこれをスイッチング駆動する薄膜トランジスタ112が形成されている。薄膜トランジスタ112のドレイン領域は対応する画素電極111に接続し、ソース領域は対応する信号配線110に接続し、ゲート電極は対応するゲート配線109に接続している。

【0017】

【発明の効果】以上説明した様に、本発明によれば、活性層として多結晶シリコン薄膜を採用し、裏面露光処理を用いてボトムゲート型の薄膜トランジスタを形成している。非晶質シリコン薄膜に比べ光透過性に優れた多結晶シリコン薄膜を用いている為、裏面露光時間の大幅な短縮が可能になる。裏面露光によってゲート電極のパターンに対するセルフアライメントが可能になり、薄膜トランジスタの寄生容量のばらつきを抑制できる。裏面露光により薄膜トランジスタの寄生容量のばらつきを抑える事ができる為、同一基板上に画素部と駆動回路部を形成する事が可能になり、コンパクトで高画質のアクティブマトリクス型液晶ディスプレイを実現できる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置製造方法の一例を示す工程図である。

【図2】裏面露光量とチャネル寸法のオフセット量 ΔL との関係を示すグラフである。

【図3】本発明にかかる薄膜半導体装置製造方法の他の例を示す工程図である。

【図4】本発明にかかる薄膜半導体装置製造方法の別の例を示す模式図である。

【図5】本発明にかかる薄膜半導体装置製造方法のさらに別の例を示す工程図である。

【図6】本発明に従って製造された薄膜半導体装置を用いて組み立てられたアクティブマトリクス型液晶表示装

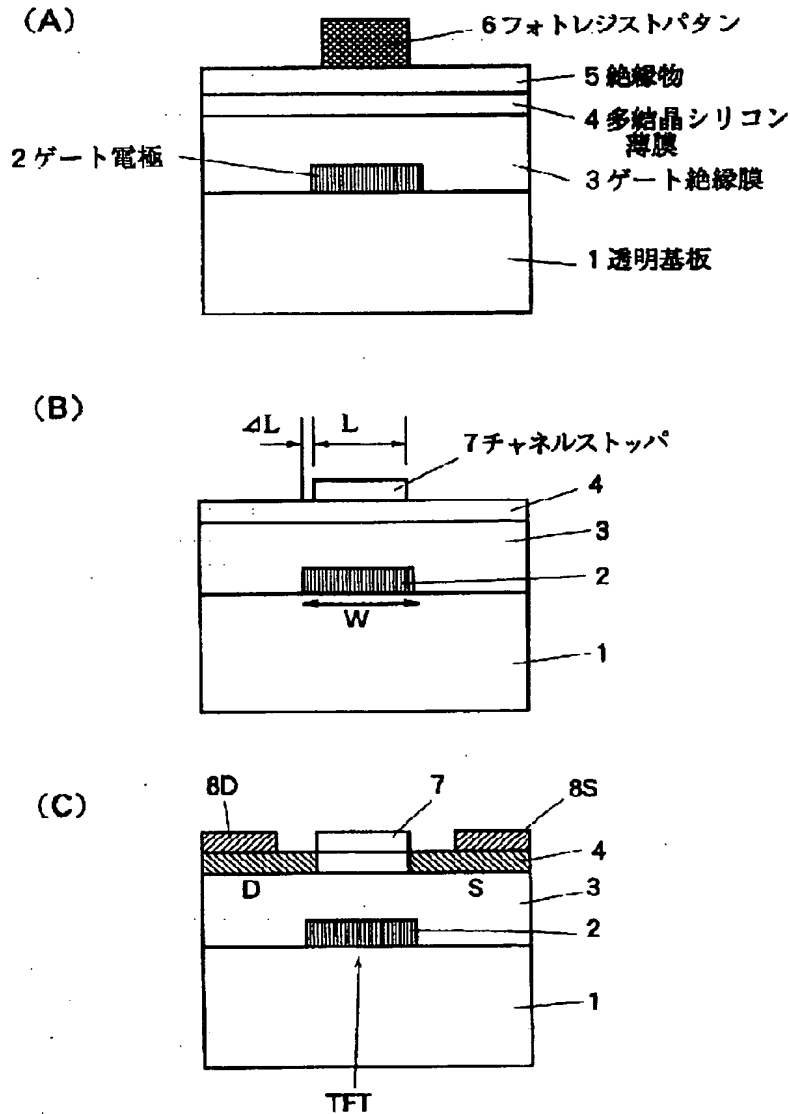
置の一例を示す模式的な斜視図である。

【符号の説明】

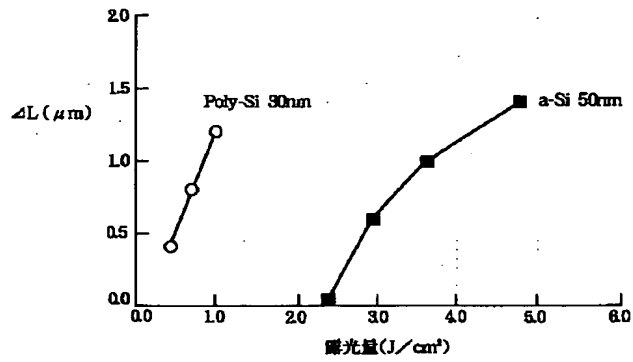
- 1 透明基板
- 2 ゲート電極
- 3 ゲート絶縁膜

- 4 多結晶シリコン薄膜
- 5 絶縁物
- 6 フォトレジストパタン
- 7 チャンネルストッパ

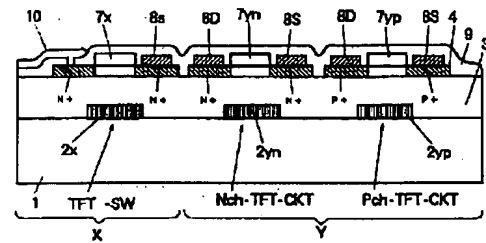
【図1】



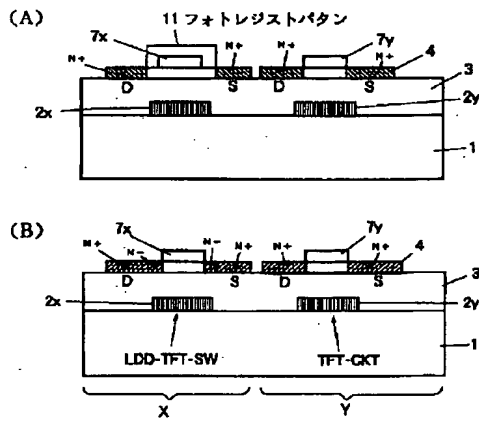
【図2】



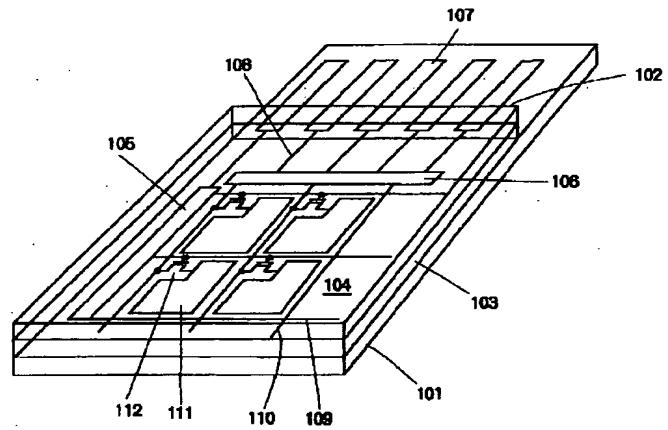
【図4】



【図5】



【図6】



【図3】

